20

**TP FINAL**

**UNIVERSIDAD DE BUENOS AIRES**

**MATERIA:** DISEÑO ANALÓGICO

**AÑO:** 2do 2024

**DOCENTES:**

JUAN CESARETTI

LEANDRO FUENTES

NICOLAS RONIS

DIEGO LOISEAU

EZEQUIEL RUBINSZTAIN

**ALUMNO: MARIANO MOREL**

**Consigna**

Diseñar un amplificador diferencial basado en la arquitectura de amplificador propuesta (ver anexo) y utilizado en el circuito de aplicación (ver anexo) que cumpla con las especificaciones:

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| # | ICC  [mA] | AREA [mm2] | VCC [V] | AOL DC [dB] | Fu [Mhz] | Input Noise [nV/Hz^0.5] | Input Sigma Off [mV] | PM [deg] | GM [dB] |
| 1 | Optimizar (<1) | <0.5 | 3.3 | >70 | >3 | < 15 | < 2 | >45 | >10 |
| 2 | Optimizar (<1) | <0.5 | 3.3 | >80 | >1 | < 15 | < 2 | >45 | >10 |

Se debe diseñar para cumplir las especificaciones para los puntos de temperatura -40C, 25C y 150C y simulando MonteCarlo variando proceso y mismatch (+/-3 sigmas).

Considerar:

* Asumir una capacidad máxima de carga en Vout1 y Vout2 de 20pF.
* Se tiene una corriente de referencia de 5uA ideal.
* Las resistencias del circuito de aplicación son ideales (no contribuyen al offset y al ruido). Tomarlas de la librería AnalogLib.
* La tensión de modo común de salida debe ser Vdd/2.
* Agregar los circuitos para polarización de los cascodes u otros.

**Entregar**

Se detalla lo que se debe entregar:

* 1. Informe final individual que contenga:
     1. Caratula
     2. Consigna
     3. Diseño (Diseño en Cadence y Testbenches) y justificación.
     4. Resultados de las simulaciones mostrando que se cumple con las especificaciones. Mostrar el estado de los transistores en DC sin señal. Mostrar la estabilidad del circuito de modo común.
     5. Simulación de un transitorio mostrando la respuesta a un escalón unitario de entrada y a una senoidal de entrada de 1V pico a pico a la frecuencia unitaria.
     6. Conclusiones: dificultades, soluciones y resultados.

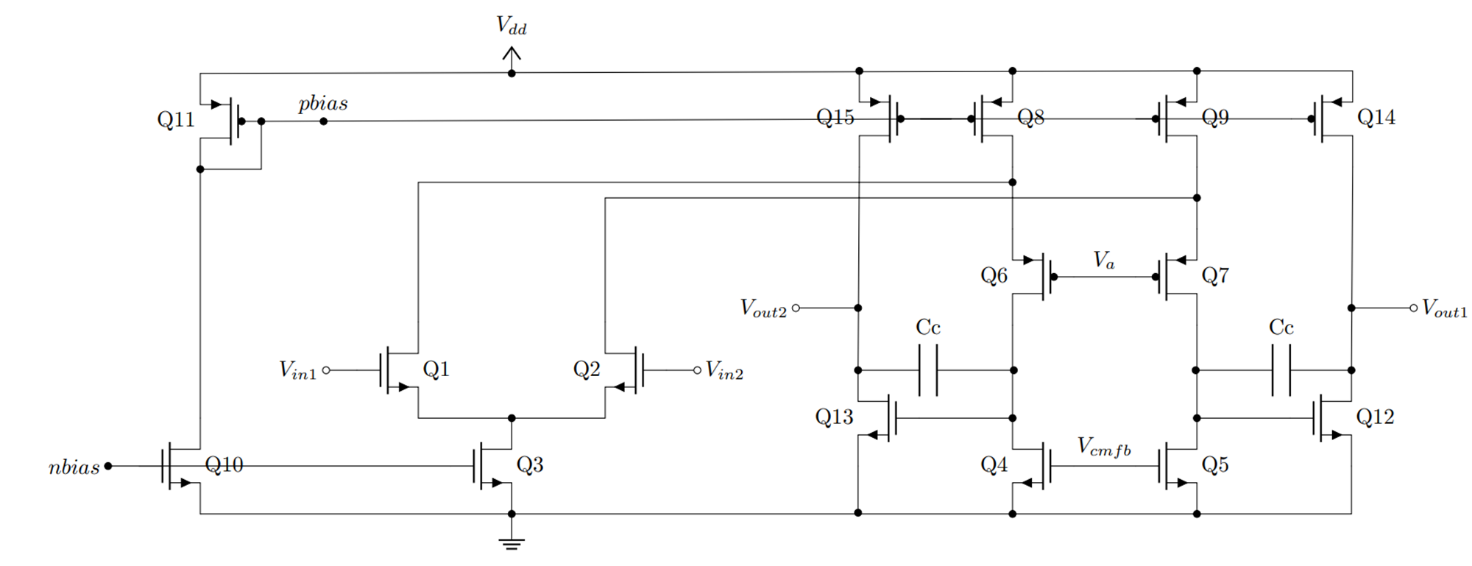
**Anexo**

**Circuito de Aplicación**

A diagram of a circuit

Description automatically generated

Asumir R = 25Kohm y Vcm = 3.3V/2. La señal de entrada se representa con *vdiff*.

**Amp**

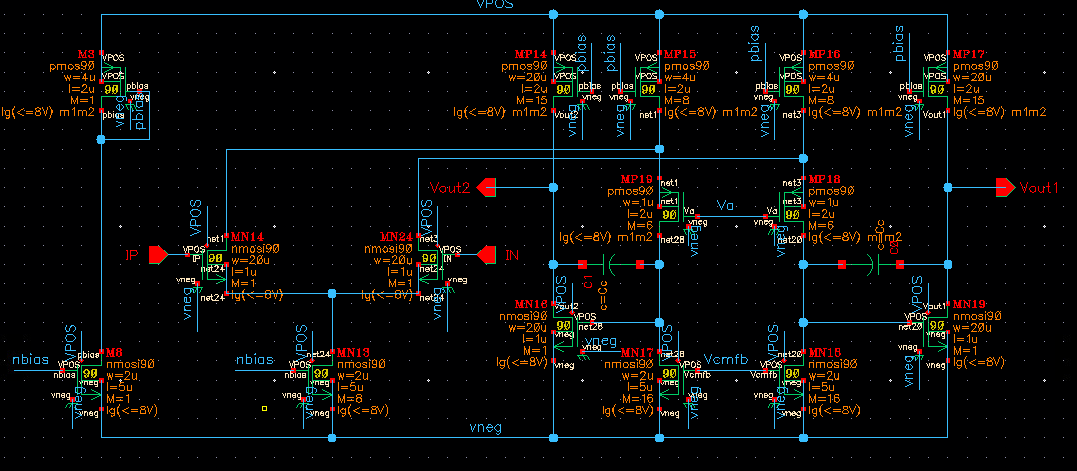
A diagram of a circuit

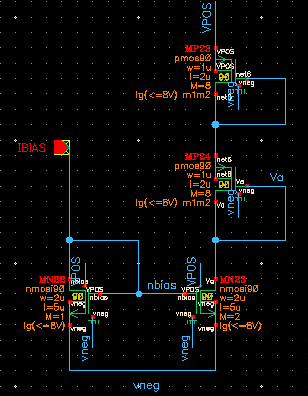
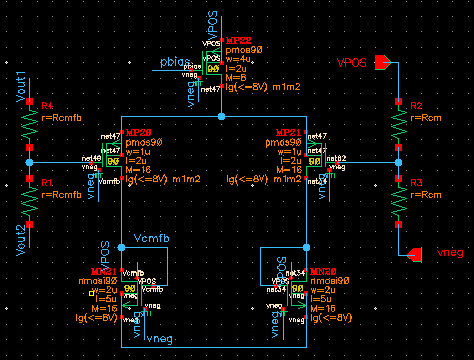
Description automatically generated

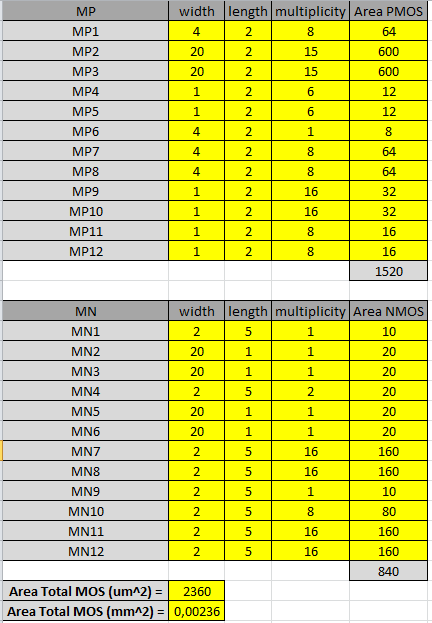
Diseño en Cadence y Testbenches

En primera instancia se hace el diseño en *Cadence*, trabajando con sus respectivos testbenches, definiendo las variables, parámetros y los diferentes análisis de manera de cumplir con las especificaciones.

En la siguiente figura se muestra el amplificador por *default*, de manera de mostrar cada MOS, en tamaño y multiplicidad, como así también sus conexiones. Se definieron los pines y algunos componentes en forma paramétrica. Por otro lado se anexó el circuito que proporciona IBIAS. Las resistencias se tomaron en forma ideal (de *analoglib*). En este sentido se las definió para que no introduzcan ruido ni sean tenidas en cuenta en el cálculo de área. Posteriormente se muestra el cálculo de área (Excel), el cual se especifica cómo A<0.5 mm2. En dicha imagen se muestra el cumplimiento de esta especificación.



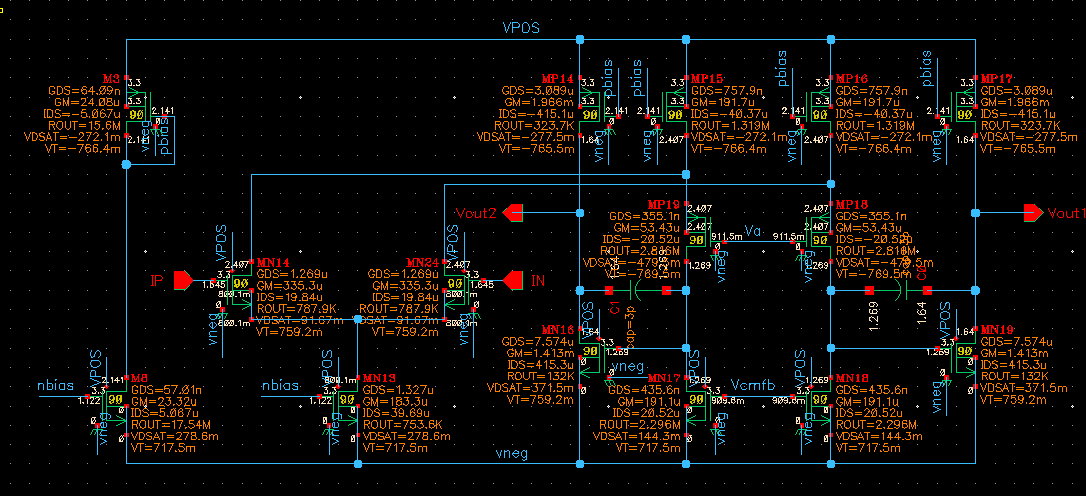
 

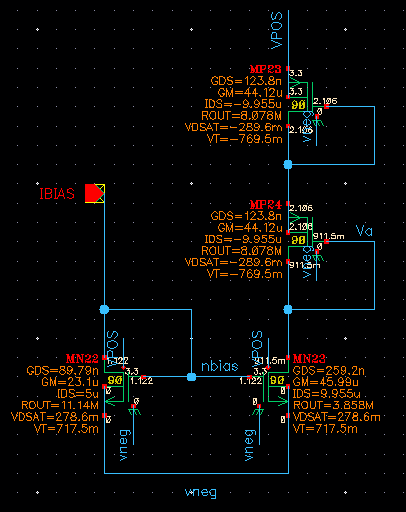
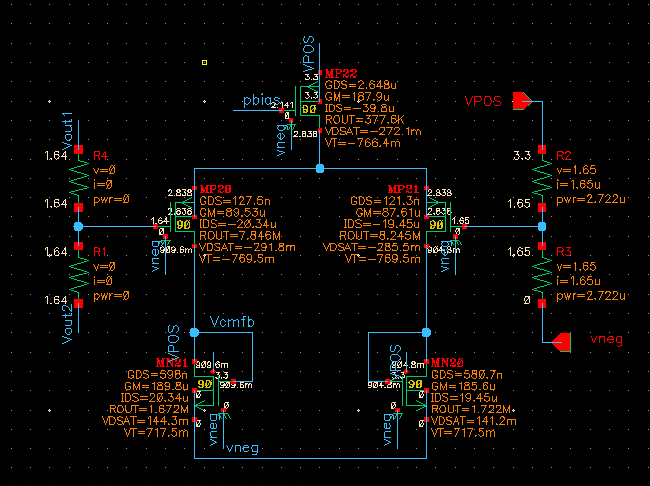


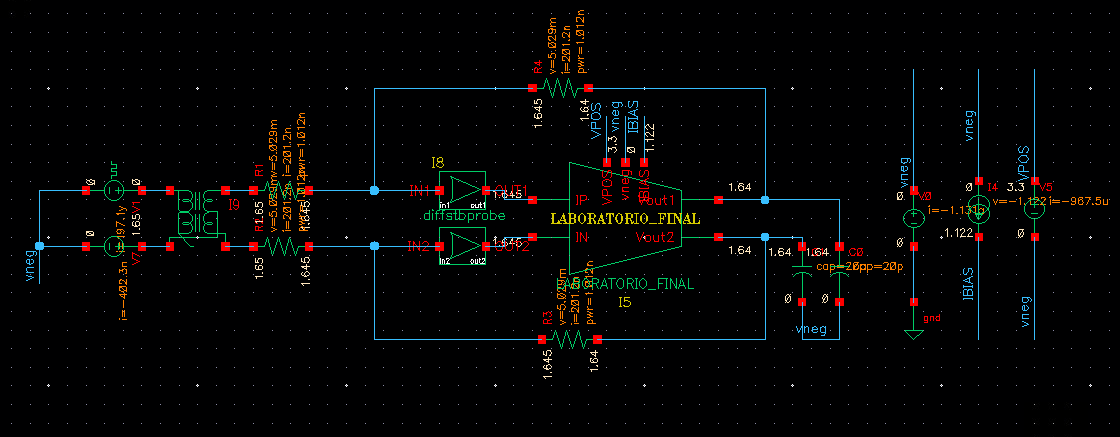
En la siguiente imagen, se muestra el análisis de DC y las tensiones y corrientes correspondientes. También se comprobó que cada MOS estuviera en modo de saturación (VDS>VDSAT). Se dimensionó cada MOS de manera de poder cumplir con las especificaciones (2)

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| # | ICC  [mA] | AREA [mm2] | VCC [V] | AOL DC [dB] | Fu [Mhz] | Input Noise [nV/Hz^0.5] | Input Sigma Off [mV] | PM [deg] | GM [dB] |
| 1 | Optimizar (<1) | <0.5 | 3.3 | >70 | >3 | < 15 | < 2 | >45 | >10 |
| 2 | Optimizar (<1) | <0.5 | 3.3 | >80 | >1 | < 15 | < 2 | >45 | >10 |

Por un lado en el circuito de aplicación podemos ver que la corriente medida en serie con VPOS, es inferior a 1mV para la tensión VCC dada.

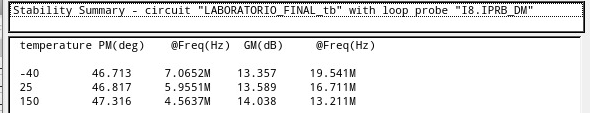


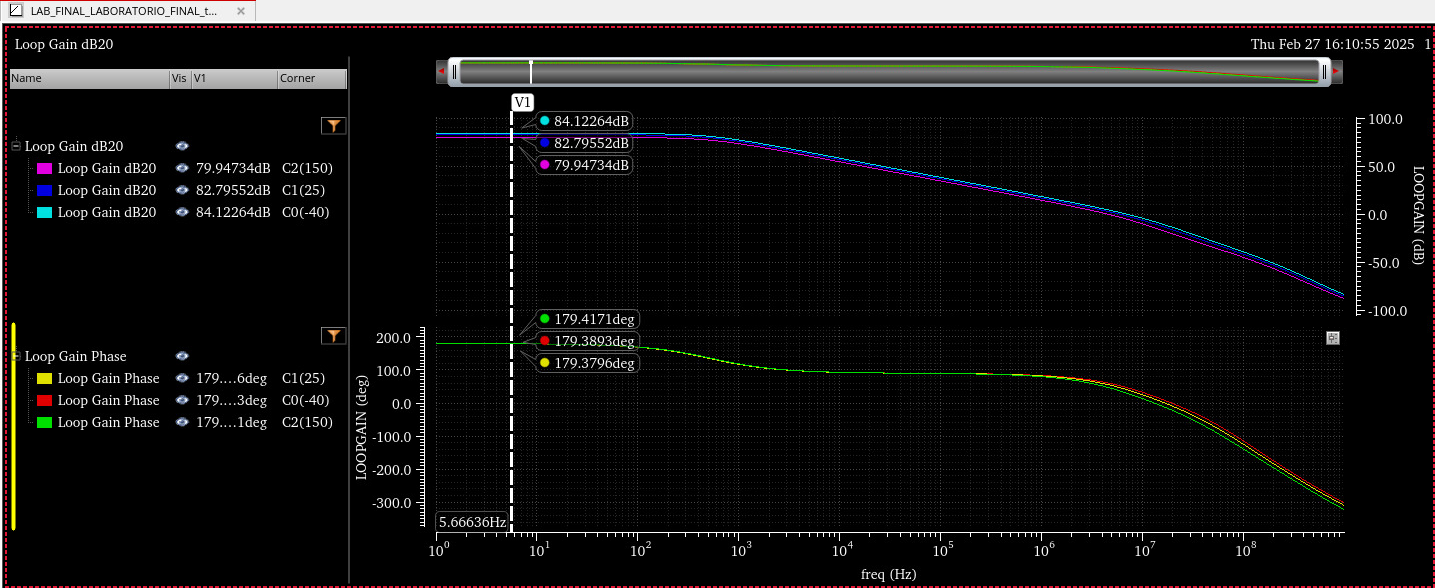
 



STABILITY

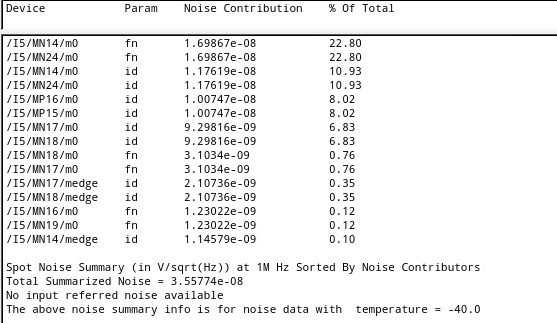
En el siguiente reporte se muestra para el parámetro de temperatura (-40, 25 y 150°C), el margen de fase, de ganancia y las frecuencias para la cuales se miden. Se comprueba que cumplen con las especificaciones. Por otro lado en el gráfico se observa que también se cumple la especificación sobre la ganancia de lazo a baja frecuencia.

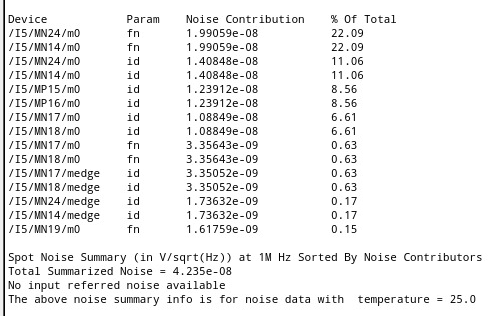


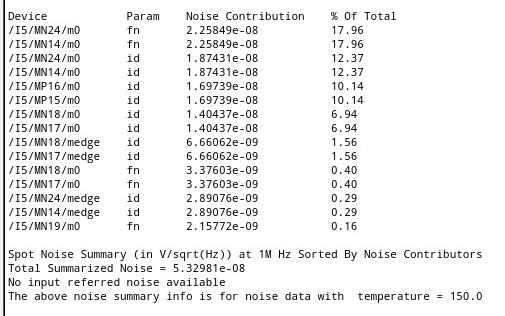


NOISE (1MHZ)

En los siguientes reportes, se muestra paramétricamente el ruido debido a la contribución de cada MOS. A 1MHZ, el ruido que domina es el térmico (*id*). Para T=-40°C, tenemos aproximadamente 35nV/Hz2, no cumpliendo con las especificaciones (<15nV/Hz2). Lo mismo ocurre con las otras temperaturas. No se tuvieron en cuenta el resto de los componentes para el análisis de ruido.

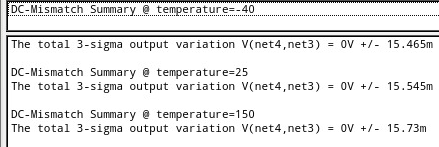


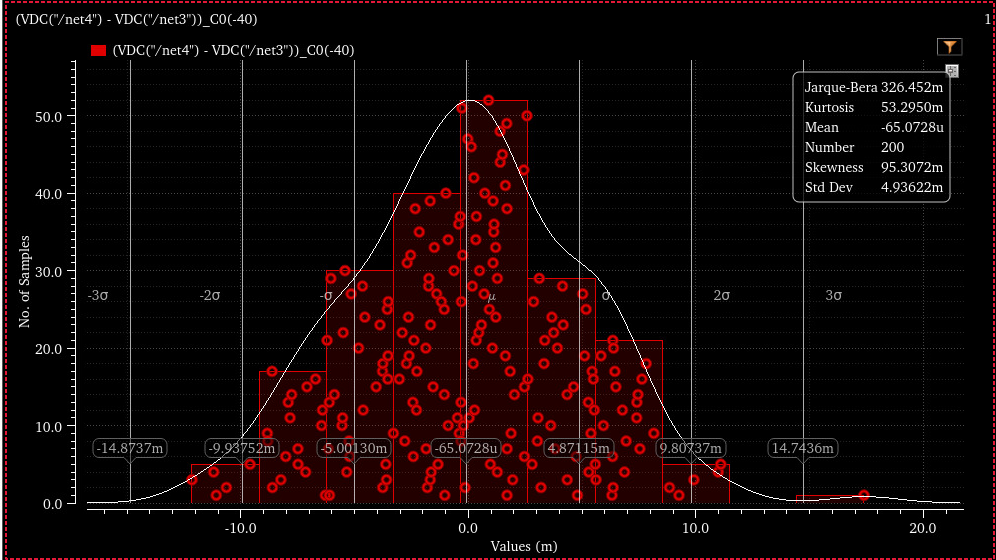


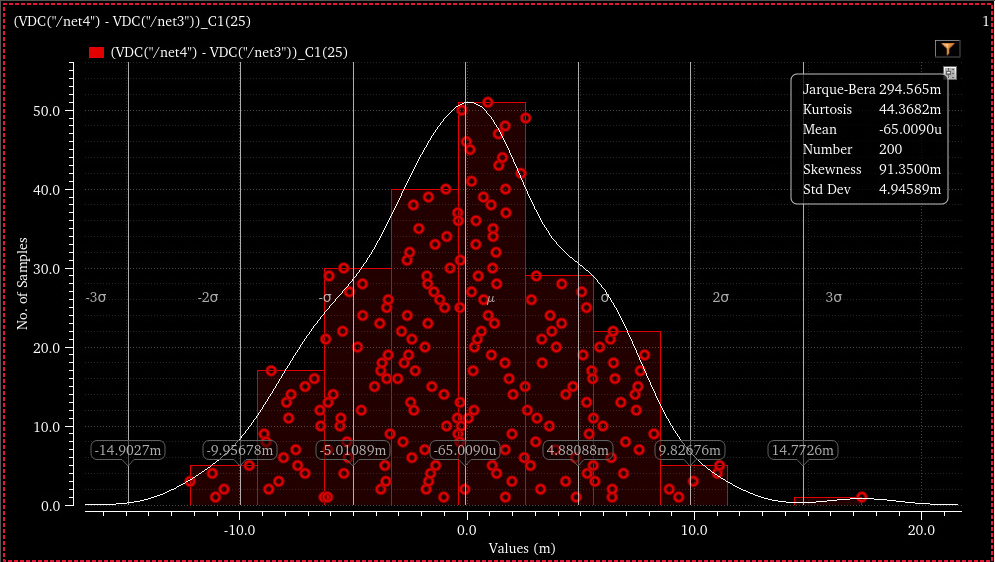


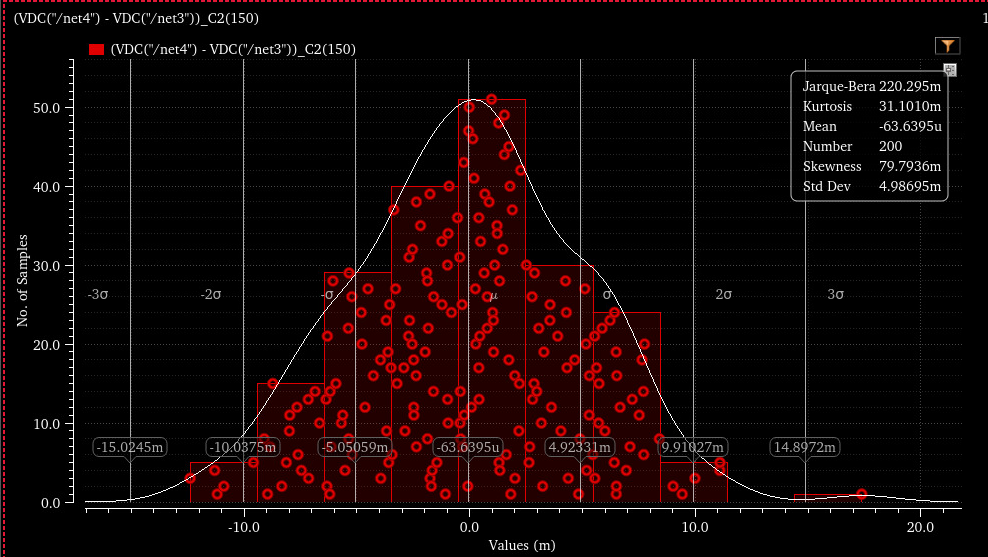
MISMATCH

Para el reporte de mismatch, el sigma promedio para el parámetro de temperatura, es de 5mV aproximadamente, por lo que tampoco se cumple la especificación (<2mV). En los gráficos de Montecarlo, se evidencia lo mencionado. Se tomaron 200 puntos.



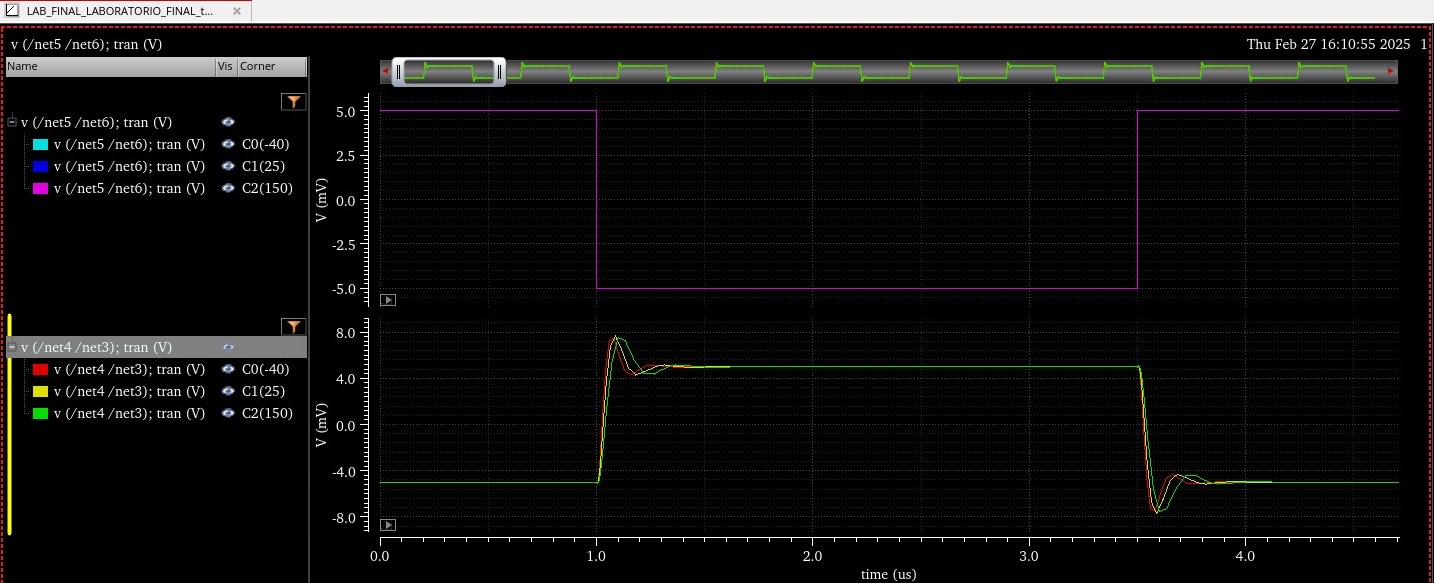






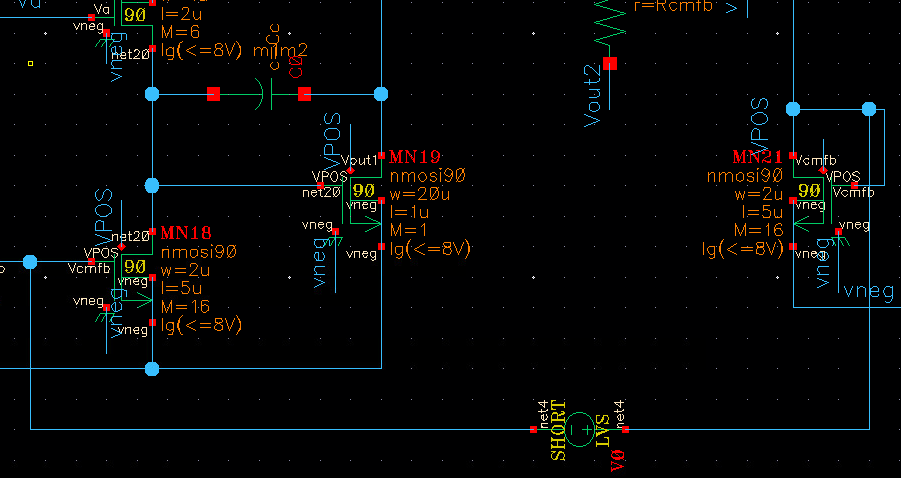
TRANSIENT

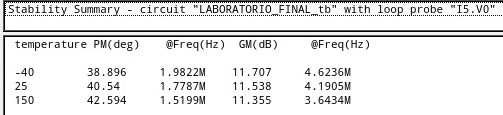
Otro análisis realizado, fue el temporal. En la imagen se toma la salida diferencial, del circuito de aplicación, donde se evidencia un gran sobreimpulso en los 3 parámetros de temperatura.

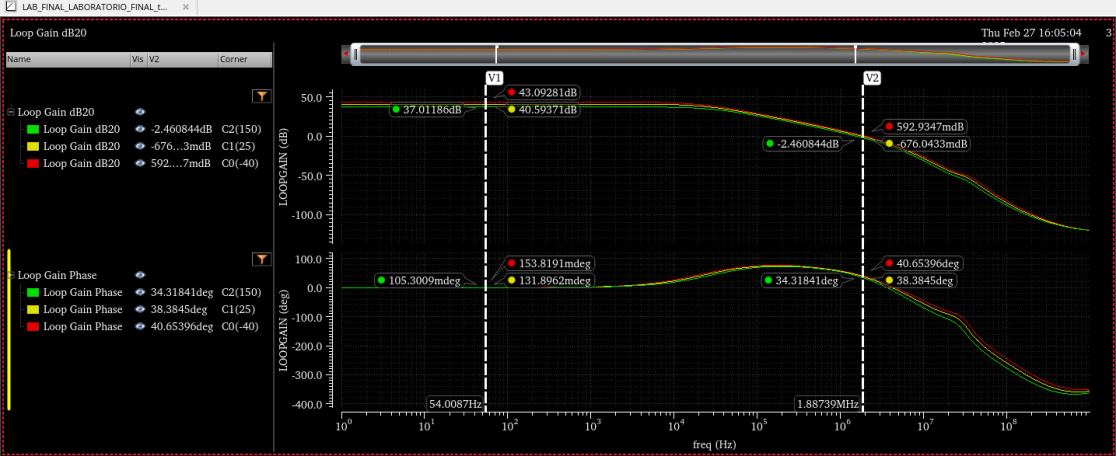


STABILITY COMMON MODE

En las siguientes imágenes se muestra la fuente LVS (short) que se utilizó parta medir la estabilidad en modo común, el reporte (MF, GM, UGF, GMF) y el bode correspondiente.

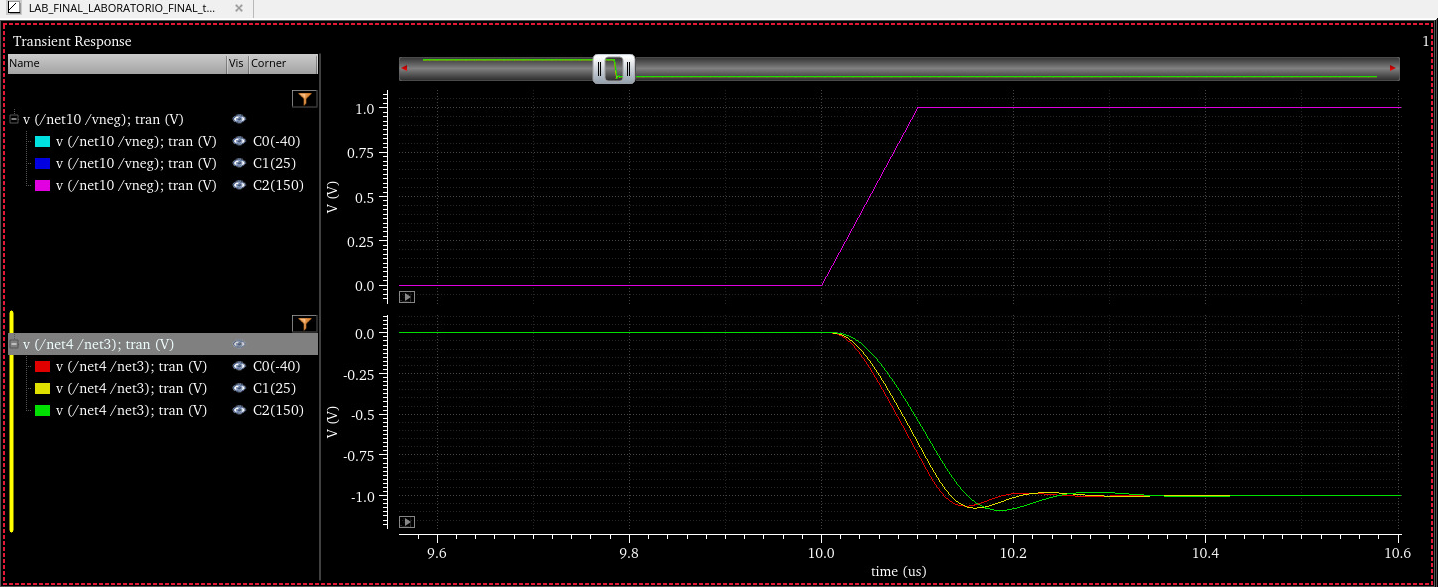






TRANSIENT

Finalmente, se simula un transitorio que muestra la respuesta a un escalón unitario de entrada y a una senoidal de entrada de 1V pico a pico a la frecuencia unitaria, donde se puede observar el tiempo de crecimiento y el sobreimpulso.



CONCLUSIONES: